

## Układy kombinacyjne

### 1. Czas trwania: 6h

### 2. Cele ćwiczenia

- Przypomnienie podstawowych praw Algebra Boole'a.
- Zaprojektowanie, montaż i sprawdzenie działania zadanych układów kombinacyjnych.

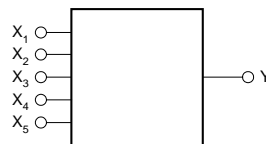
### 3. Wymagana znajomość pojęć

- prawa Algebra Boole'a,
- kombinacyjna funkcja logiczna,
- postać kanoniczna funkcji logicznej,
- minimalizacja funkcji logicznej, Tablica Karnaugh,
- dekodery, multiplexer, demultiplexer, komparator, półsumator, pełen sumator, ALU.

### 4. Wstęp

#### 4.1 Funkcja logiczna i postać kanoniczna funkcji logicznej

Kombinacyjna funkcja logiczna to funkcja, w której stan wyjścia zależy jedynie od stanu wejścia w danej chwili  $Y=f(x_1,x_2,\dots,x_n)$ . Układy kombinacyjne nie posiadają cechy pamięci.



Rys. 1 Kombinacyjna funkcja logiczna.

Każdą kombinacyjną funkcję logiczną  $f(x_1,x_2,\dots,x_n)$   $n$  zmiennych można przedstawić w jednej z dwu postaci kanonicznych: sumy pełnych iloczynów i iloczynu pełnych sum. W praktyce częściej wykorzystuje się pierwszą postać:

$$f(x_1,x_2,\dots,x_n)=\sum_{i=1}^{i=n} f(x_1^{e1}, x_2^{e2}, \dots, x_n^{en}) \cdot x_1^{e1} \cdot x_2^{e2} \cdot \dots \cdot x_n^{en}$$

gdzie:

$$x^e = \begin{cases} x & \text{gdy } e=1 \\ \bar{x} & \text{gdy } e=0 \end{cases}$$

dla przykładu:

$$f(x_1, x_2) = f(\bar{x}_1, \bar{x}_2) \cdot \bar{x}_1 \cdot \bar{x}_2 + f(\bar{x}_1, x_2) \cdot \bar{x}_1 \cdot x_2 + f(x_1, \bar{x}_2) \cdot x_1 \cdot \bar{x}_2 + f(x_1, x_2) \cdot x_1 \cdot x_2$$

Ze względu na tożsamości  $a \cdot 0 = 0$  i  $a + 0 = a$  w postaci kanonicznej sumy pełnych iloczynów istotne są jedynie te składniki, dla których  $f(x_1^{e1}, x_2^{e2}, \dots, x_n^{en}) = 1$

Funkcja kanoniczna, ze względu na rozwlekłą postać słabo nadaje się do praktycznej realizacji za pomocą bramek logicznych. Zwykle wymagana jest minimalizacja funkcji, to jest przedstawienie jej za pomocą równoważnej funkcji, ale zrealizowanej za pomocą mniejszej ilości bramek. Jedną z najprostszych metod ręcznej minimalizacji jest tablica Karnaugh. Tablice Karnaugh do minimalizacji wykorzystują tożsamość  $a \cdot b + a \cdot \bar{b} = a$ . W tablicy wartości funkcji ułożone są w sposób umożliwiający grupowanie w wierszach i/lub kolumnach (w pary, czwórki, itd.) komórek, w których funkcja przyjmuje wartość 1 i mechaniczne usuwanie zmieniających się argumentów.

	00	01	11	10
00				
01				
11				
10				

Tab. 1 Tablica Karnaugh dla 4 elementów.

	0	1
00		
01		
11		
10		

Tab. 2 Tablica Karnaugh dla 3 elementów.

#### 4.2 Przykład minimalizacji funkcji logicznej

Mając funkcję logiczną zapisaną w tabeli:

nr	$x_1 x_2 x_3$	Y
0	000	0
1	001	1
2	010	1
3	011	1
4	100	0
5	101	1
6	110	0
7	111	1

Możemy zapisać jej postać kanoniczną:

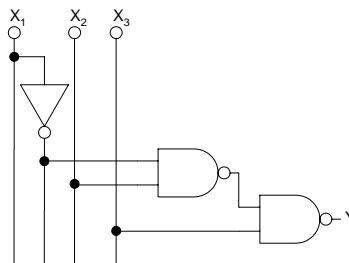
$$F(x_1, x_2, x_3) = \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot x_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3$$

a po minimalizacji tablicą Karnaugh otrzymujemy:

$x_1 x_2 x_3$	0	1
00	0	1
01	1	1
11	0	1
10	0	1

$$F(x_1, x_2, x_3) = \bar{x}_1 \cdot x_2 + x_3$$

Funkcję tę można zrealizować z bramek NAND:



Współcześnie funkcje logiczne realizuje się za pomocą bardziej skomplikowanych układów programowalnych (np. PLA) i specjalizowanych języków programowania (np. VHDL).

Układy kombinacyjne stanowią podstawowy element budulcowy układów większej skali integracji. W szczególności wyróżnia się: dekodery, multipleksery, demultipleksery, komparatory i układy arytmetyczne.

### 4.3 Dekoder

Dekoder jest układem posiadającym  $n$  wejść ( $a_0, \dots, a_n$ ) i  $m$  wyjść ( $b_0, \dots, b_m$ ). Zadaniem dekodera jest zamiana informacji wejściowej kodowanej w jednej postaci (np. kodu binarnego) na inną (np. kod 1 z  $N$ ).

### 4.4 Multiplekser i demultiplekser

Multiplekser i demultiplekser stanowią elektroniczny odpowiednik mechanicznych przełączników.

Multiplekser to układ o jednym wyjściu ( $o$ ),  $r$  wejściach sterujących ( $s_0, \dots, s_r$ ) i  $2^r$  wejściach informacyjnych ( $X_0, \dots, X_{2^r}$ ).

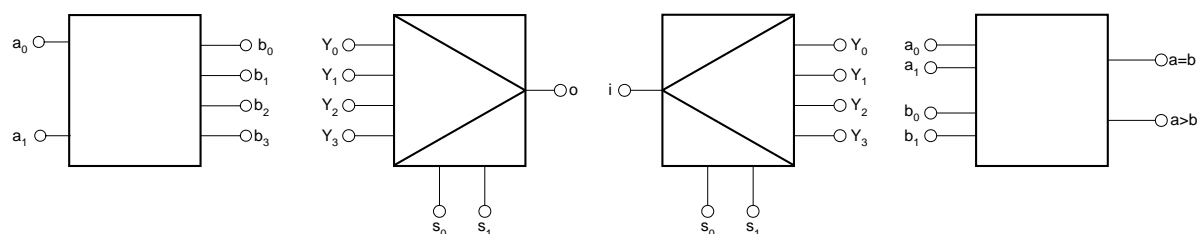
Demultiplekser (będący odwróceniem multipleksera) posiada jedno wejście informacyjne ( $i$ ),  $r$  wejść sterujących ( $s_0, \dots, s_r$ ) oraz  $2^r$  wyjść informacyjnych ( $Y_0, \dots, Y_{2^r}$ ).

### 4.5 Komparator

Komparator jest układem umożliwiającym porównywanie informacji (zwykle liczb binarnych). Układ ma dwa zestawy wejść ( $a, b$ ) i kilka wyjść reprezentujących wynik porównania (np.  $a=b$ ,  $a>b$ ).

### 5.6 Układ arytmetyczny, ALU

Układ arytmetyczny umożliwia wykonywanie bardziej skomplikowanych operacji arytmetycznych i logicznych na liczbach binarnych. Przykładem układu arytmetycznego jest sumator, którego zadaniem jest sumowanie dwu  $n$ -bitowych liczb binarnych. Rozwinięciem układu arytmetycznego jest ALU (jednostka arytmetyczno-logiczna) stanowiąca jądro mikroprocesora.

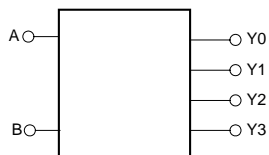


Rys. 2 Dekoder, multiplekser i demultiplekser, komparator.

## 5. Zadania pomiarowe

### 5.1. Dekoder 2->4

Zmontować z bramek NAND układ dekodera 2->4 (rys. 3), którego tabela prawdy przedstawiona jest w tabelicy 3. Sprawdzić działanie układu.



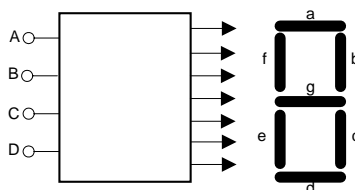
Rys. 3 Dekoder 2->4.

AB	Y0	Y1	Y2	Y3
00	0	1	1	1
01	1	0	1	1
10	1	1	0	1
11	1	1	1	0

Tab. 3. Tabela prawdy dla dekodera 2->4.

### 5.2. Wskaźnik siedmiosegmentowy

Zaprojektować i zminimalizować przy użyciu tabelicy Karnaugh układ sterujący (zadany przez prowadzącego) segment wskaźnika siedmiosegmentowego. Przedstawić zaprojektowaną funkcję logiczną w postaci kanonicznej, tabelicy Karnaugh i jej zapisu algebraicznego oraz postaci zrealizowanej z bramek NAND.



Rys. 4. Dekoder kodu wskaźnika siedmiosegmentowego.

### 5.3. Realizacja wybranych układów kombinacyjnych.

Zgodnie z poleceniem prowadzącego zaprojektować, zminimalizować, zrealizować, wyłącznie z bramek NAND, i zweryfikować działanie zadanego przez prowadzącego układu kombinacyjnego.

## **6. Przyrządy**

Konsolka cyfrowa, miernik uniwersalny, oscyloskop.

## **7. Literatura**

P.Horowitz, W.Hill, „Sztuka elektroniki”, WKŁ 1995, ISBN 83-206-1128-8, Tom 2, str.17-41,109-123.

R.Śledziwski, „Elektronika dla fizyków”, PWN 1982, ISBN 83-01-04076-9, str.172-177, 184-200.